(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号
特開2001－7700
（P2001－7700A）
(43)公開日　平成13年１月12日(2001.1.12)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｈ０３Ｌ　7/183		Ｈ０３Ｌ　7/18	Ｂ	５Ｊ１０６
7/06		7/06	Ｅ	

審査請求　未請求　請求項の数７　ＯＬ　（全 12 頁）

(21)出願番号　特願平11－175568

(22)出願日　平成11年６月22日(1999.6.22)

(71)出願人　000232036
日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町１丁目403番53

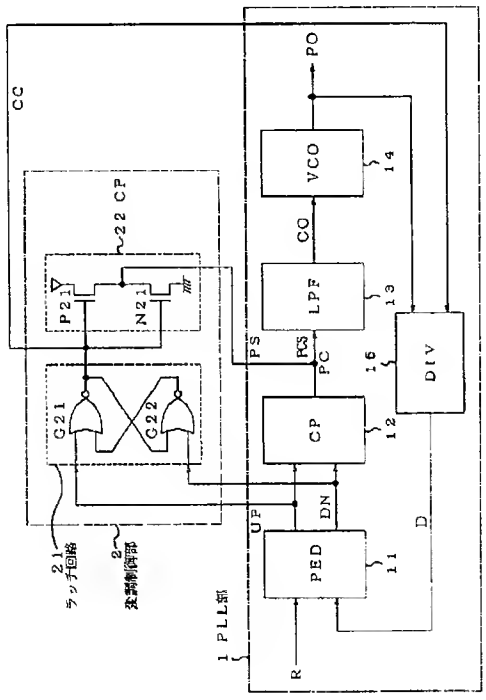
(72)発明者　下川　弘記
神奈川県川崎市中原区小杉町一丁目403番53　日本電気アイシーマイコンシステム株式会社内

(74)代理人　100082935
弁理士　京本　直樹　（外２名）

最終頁に続く

(54)【発明の名称】　ＰＬＬ回路

(57)【要約】
【課題】比較的小さい回路規模で、かつ複雑な調整を必要とすることなく所望のノイズ低減効果を達成する。
【解決手段】発振信号ＰＯが周波数変調幅の下限９９ＭＨｚ及び上限１０１ＭＨｚのときこの発振信号ＰＯを分周比１０１及び９９でそれぞれ分周した分周信号Ｄの各々の周波数が基準信号Ｒの周波数１ＭＨｚと等しくなるように可変分周するＤＩＶ１５と、基準信号Ｒと分周信号Ｄとの位相比較を行いそれぞれ対応したパルス信号であるアップ信号うＰ又はダウン信号ＤＮを出力するＰＦＤ１１と、アップ信号ＵＰの供給に応答して分周比を１０１に設定し、ダウン信号ＤＮの供給に応答して分周比９９に設定する分周比切り替え制御信号ＣＣを出力することによりディザリングを制御するディザリング制御部２とを備える。



1

【特許請求の範囲】

【請求項１】　一定周波数の基準信号から所定のクロック信号周波数の発振信号を生成するとともにこの発振信号に所定の周波数幅の周波数変調であるディザリングを実施することにより前記クロック信号のノイズスペクトル幅を拡げてノイズを拡散し、スペクトルレベルを低下させる位相同期ループ（以下ＰＬＬ）回路において、

前記発振信号が前記周波数変調幅の下限周波数のときこの発振信号を第１の分周比で分周した第１の分周信号の周波数が前記基準信号の周波数と等しく、前記発振信号が前記周波数変調幅の上限周波数のときこの発振信号を第２の分周比で分周した第２の分周信号の周波数が前記基準信号の周波数と等しくなるように可変分周する可変分周回路と、

前記基準信号と前記第１又は第２の分周信号との位相比較を行いこれら第１又は第２の分周信号の前記基準信号に対する位相の遅れ進みにそれぞれ対応したパルス信号であるアップ信号又はダウン信号を出力する位相検出回路と、

前記アップ信号又はダウン信号の供給を受け前記アップ信号の供給に応答して前記可変分周回路を前記第１の分周比に設定し、前記ダウン信号の供給に応答して前記可変分周回路を前記第２の分周比に設定するよう制御する分周比切り替え制御信号を出力することにより前記ディザリングを制御するディザリング制御部とを備えることを特徴とするＰＬＬ回路。

【請求項２】　前記基準信号と前記第１又は第２の分周信号の供給に応答して前記位相比較を行い位相比較結果に対応する前記アップ信号又はダウン信号を出力する前記位相検出回路と、

前記アップ信号又はダウン信号の値に対応した直流電圧のチャージ／ディスチャージを行う直流信号である主チャージポンプ信号を出力する主チャージポンプ回路と、

前記主チャージポンプ信号の不要高周波成分を除去するとともに所定のループ時定数を与えて発振制御信号を出力する低域通過フィルタと、

前記発振制御信号の電圧／電流値に応じた周波数の発振信号を出力する電圧制御発振回路と、

前記発振信号の供給を受けこの発振信号を前記ディザリング制御部から供給を受ける分周比切り替え制御信号により前記第１又は第２の分周比で分周し前記第１又は第２の分周信号を出力する前記可変分周回路を有するＰＬＬ部を備えることを特徴とする請求項１記載のＰＬＬ回路。

【請求項３】　前記ディザリング制御部が、複数のパルスから成る前記アップ信号又はダウン信号の各々の第１パルスを取り込み保持（ラッチ）し前記分周比切り替え制御信号を出力するラッチ回路を備えることを特徴とする請求項１記載のＰＬＬ回路。

【請求項４】　前記ディザリング制御部が、前記分周比切り替え制御信号のレベルに対応して直流電圧のチャージ／ディスチャージを行う直流信号である付加チャージポンプ信号を出力する付加チャージポンプ回路を備えることを特徴とする請求項１記載のＰＬＬ回路。

【請求項５】　前記ディザリング制御部が、前記分周比切り替え制御信号のレベルに対応して直流電圧のチャージ／ディスチャージを行う直流信号であるチャージポンプ信号を出力するチャージポンプ回路をそなえ、

前記基準信号と前記第１又は第２の分周信号の供給に応答して前記位相比較を行い位相比較結果に対応する前記アップ信号又はダウン信号を出力する前記位相検出回路と、

供給を受けた前記チャージポンプ信号の不要高周波成分を除去するとともに所定のループ時定数を与えて発振制御信号を出力する低域通過フィルタと、

前記発振制御信号の電圧／電流値に応じた周波数の発振信号を出力する電圧制御発振回路と、

前記発振信号の供給を受けこの発振信号を前記ディザリング制御部から供給を受ける分周比切り替え制御信号により前記第１又は第２の分周比で分周し前記第１又は第２の分周信号を出力する前記可変分周回路を有するＰＬＬ部を備えることを特徴とする請求項１記載のＰＬＬ回路。

【請求項６】　前記ラッチ回路が、第１入力端に前記アップ信号の供給を受け第２入力端を後述の第２のＮＯＲゲートの出力端に接続しこの出力端から前記分周比切り替え制御信号を出力する第１のＮＯＲゲートと、

第２入力端に前記ダウン信号の供給を受け第１入力端を前記第１のＮＯＲゲートの出力端に接続した第２のＮＯＲゲートとを備えることを特徴とする請求項３記載のＰＬＬ回路。

【請求項７】　付加チャージポンプ回路が、ソースを電源に接続しゲートに前記分周比切り替え制御信号の供給を受けドレインから付加チャージポンプ信号を出力するＰチャネル型の第１のＭＯＳトランジスタと、

ソースを接地にドレインを第１のＭＯＳトランジスタのドレインにゲートを第１のＭＯＳトランジスタのゲートにそれぞれ接続したＮチャネル型の第２のＭＯＳトランジスタとを備えることを特徴とする請求項４記載のＰＬＬ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明はＰＬＬ回路に関し、特に電磁干渉（ＥＭＩ）雑音を低減したクロック信号を発生するためのＰＬＬ回路に関する。

【０００２】

【従来の技術】近年電子機器のディジタル化が急激に進み、これに伴って、ディジタル回路の動作に起因するＥＭＩ雑音の量も拡大の一途をたどり、その低減が大きな問題となってきている。この種のＥＭＩ雑音の発生源と

して、最も大きい比重を占めるものとしてクロックノイズがある。クロックノイズは、ディジタル回路の動作の基準になっているクロック信号に起因するノイズである。公知のように、クロックノイズは、クロック周波数の奇数倍周波数の成分から成るスペクトルを有する。このスペクトルは、クロック信号の周波数精度が向上するほど、スペクトル幅が狭くなり、スペクトルレベルは逆に高くなる。

【０００３】クロックノイズ低減の方法として、近年、クロック信号を周波数変調することにより、クロック周波数対応のノイズスペクトル幅を拡げてノイズを拡散し、スペクトルレベルを低下させる、クロックディザリング技術が注目されている。

【０００４】例えば、実開平４－７５４６９号公報（文献１）記載の不要輻射雑音を抑圧した電子装置は、電圧制御発振器から出力するクロック信号にわずかな周波数変調をかけることにより、クロック信号の不要輻射（ノイズ）成分のスペクトルの鋭さを低減し、また、分散化させることにより、周波数軸上の集中度を低減させるというものである。

【０００５】特開平８－１２５５６４号公報（文献２）記載の放射低減装置は、所定周波数のクロックを発振するＱが高いクロック発振回路と、所定周波数の変調信号を発振する変調信号発振回路と、クロックを変調信号で周波数変調する変調回路とを備え、Ｑが高いクロック発振出力を周波数変調するよう構成したことにより変調の浅い所望のクロックディザリングを行うというものである。

【０００６】一定周波数の基準信号から、所定の周波数のシステムクロックを生成する一般的な方法は、位相同期ループ（ＰＬＬ）回路を用いるものである。

【０００７】ＰＬＬ回路は、基本的に、３つの基本部分、すなわち、位相検出部、ループフィルタ部、及び電圧制御発振部（ＶＣＯ）から成る。位相検出部は、基準クロック信号を受け取る第１入力と、ＶＣＯ出力信号又はその分周信号（ここでは説明の便宜上両方一括して帰還信号という）を受け取る第２入力とを有する。また、帰還信号はＰＬＬ回路の入力でもある。位相検出部は、ループフィルタ部に接続された出力を有し、ループフィルタ部は、ＶＣＯに接続された出力を有する。

【０００８】動作中、位相検出部は、基準クロック信号と帰還信号の両入力信号間の位相差に比例する位相検出信号を出力する。位相検出信号の供給に応答して、ループフィルタ部は、この位相検出信号の関数であるフィルタ出力信号を出力する。ＶＣＯは、フィルタ出力信号の電圧（又は電流）に比例する周波数の発振信号、すなわちＶＣＯ出力信号を出力する。上記のように、ＶＣＯ出力信号は、そのまま又は所定の分周比で分周し位相検出部の第２入力に帰還信号として帰還される。この帰還信号は、ＶＣＯ出力信号が基準クロック信号と位相同期するために必要である。

【０００９】この一般的なＰＬＬ（以下通常ＰＬＬ）の動作を時間対発振周波数のグラフで示す図５（Ａ）を参照すると、ここでは説明の便宜上、ＶＣＯの出力信号（発振信号）ＰＯの中心周波数を１００ＭＨｚ、基準クロック信号の周波数を１ＭＨｚ、発振信号ＰＯを分周して生成する帰還信号の分周比を１００とする。図に示すように、通常ＰＬＬでは、発振信号ＰＯの周波数にロックするので、発振信号ＰＯの周波数は１００ＭＨｚ一定である。この場合の発振信号ＰＯ対応のシステムクロックのノイズ成分スペクトルは、図５（Ｂ）に模式的に示すように、１００ＭＨｚの奇数倍高調波（以下単に高調波）成分に集中する。なお、この図では説明の便宜上、ノイズスペクトルの各周波数（３００ＭＨｚ，５００ＭＨｚ，・・・）成分のレベルを一括して基本波の周波数で表示している。

【００１０】クロックディザリング技術により、発振信号ＰＯの周波数の１％すなわち、±１ＭＨｚの周波数変調をかけた場合の時間対発振周波数をグラフで示す図５（Ｃ）を参照すると、発振信号ＰＯの周波数は時間経過に従い１００ＭＨｚを中心に、９９ＭＨｚから１０１ＭＨｚまでの周波数範囲を一定の変化率で変化する。この場合の発振信号ＰＯ対応のシステムクロックのノイズ成分スペクトルは、図５（Ｂ）と同様に図５（Ｄ）に模式的に示すように、通常ＰＬＬの発振信号に比較するとノイズスペクトルの周波数帯域が９９ＭＨｚから１０１ＭＨｚまでの周波数をカバーし、スペクトルレベルは相当低減している。なお、クロックディザリング幅としては、上述した発振信号ＰＯの周波数の１％程度が一般的に用いられている。

【００１１】ＰＬＬ回路を用い、クロックディザリングによるＥＭＩ雑音低減を図った例として、特開平９－２８９５２７号公報（文献３）記載のディジタルシステムにおける電磁妨害雑音の放射を抑制するための方法及び装置は、基底信号から所望の平均周波数を有する第１の信号を導き出し、該第１の信号を周波数変調して変調基準信号を得る。ＰＬＬ回路を含むクロック発生回路は変調基準信号に基づきクロックを発生する。変調基準信号の電磁妨害雑音の放射が、第１の周波数帯域にわたって拡散され、かつ、クロック信号の電磁妨害雑音の放射が、第２の周波数帯域にわたって拡散されるというものである。

【００１２】また、特開平９－９８１５２号公報（文献４）記載の拡散スペクトルクロック生成装置は、基準周波数クロック信号を生成する発振器と、この発振器と協調して基本周波数と基本周波数の調波での低減された振幅ＥＭＩスペクトル成分とを有する拡散スペクトルクロック信号を生成する拡散スペクトルクロック生成装置とを含み、この拡散スペクトルクロック生成装置の好ましい例は、ＶＣＯを含むＰＬＬ回路を含み一連のクロック

パルスを生成するクロックパルス生成装置と、クロックパルス生成装置を周波数変調して、ＥＭＩスペクトル成分のスペクトル幅を広げてその振幅を平坦化する拡散スペクトル変調器を含む。この拡散スペクトル変調器は、ディジタル値を記憶するテーブルと、カウンタ自体のそれぞれ異なるカウントで上記テーブルにアドレスする第１のカウンタと、制御入力を有する上記ＰＬＬ回路と、上記基準周波数クロック信号を入力し、上記ＰＬＬ回路に制御入力を提供する第２のカウンタと、上記ＰＬＬ回路からの信号と上記記憶されたディジタル値を上記ＶＣＯの制御用の信号に変換した変換信号とを組み合わせ、この組み合わせ信号を制御信号として上記ＶＣＯに供給する手段を備えるというものである。

【００１３】文献４等に記載のＰＬＬ回路を本発明と対比するためその要点部分のみを取り出した従来のＰＬＬ回路をブロックで示す図６を参照すると、この従来のＰＬＬ回路は、基準周波数信号Ｒの供給を受け後述する変調回路が動作しない場合中心周波数がこの基準周波数信号Ｒに位相同期するように動作して発振信号ＰＯを出力する通常のＰＬＬ回路であるＰＬＬ部１と、基準信号Ｒの供給を受けこの基準信号Ｒの周波数に基づき発振信号ＰＯに所定の周波数変調をかける変調回路３とを備える。

【００１４】ＰＬＬ部１は、基準信号Ｒと発振信号ＰＯを所定分周比で分周した分周信号Ｄとを位相比較し比較結果に対応してアップ信号ＵＰ又はダウン信号ＤＮ（以下アップ信号ＵＰ／ダウン信号ＤＮ）をそれぞれ出力する位相比較回路（以下ＰＦＤ）１１と、供給を受けたアップ信号ＵＰ／ダウン信号ＤＮの値に対応して直流電圧信号であるチャージポンプ信号ＰＣを発生するチャージポンプ回路（以下ＣＰ）１２と、チャージポンプ信号ＰＣを平滑化し不要な高周波成分を除去するとともに所定のループ時定数を与えた発振制御信号ＣＯを出力する低域通過フィルタ（以下ＬＰＦ）１３と、発振制御信号ＣＯの値により周波数が制御され発振信号ＰＯを出力する電圧制御発振器（以下ＶＣＯ）１４と、発振信号ＰＯを所定分周比で分周し分周信号Ｄを出力する分周比が可変の可変分周器（以下ＤＩＶ）１５とを備える。

【００１５】変調回路３は、基準信号Ｒの供給を受けこの基準信号Ｒをカウントしカウント値が所定数に達した時ＤＩＶ１５の分周比を所定の範囲及び所定のパターンで切り替える分周比切り替え信号ＣＸをＤＩＶ１５に供給する変調カウンタ３１を備える。

【００１６】次に、図６及び各部波形をタイムチャートで示す図７を参照して、従来のＰＬＬ回路の動作について説明すると、ＰＬＬ部１のＰＦＤ１１は、外部から供給を受ける基準信号ＲとＤＩＶ１５から帰還される分周信号Ｄとの位相比較を行い、比較結果に対応して分周信号Ｄが基準信号Ｒより遅れている場合はアップ信号ＵＰを逆に分周信号Ｄが基準信号Ｒより進んでいる場合はダウン信号ＤＮをそれぞれ出力し、ＣＰ１２に供給する。ここで、アップ信号ＵＰ／ダウン信号ＤＮの値は、位相差に対応する所定サンプリング期間におけるパルス数（以下パルス数）として表す。すなわち、位相差が大きい場合はこのパルス数が大きくなり、位相差が小さくなるとパルス数が減少する。位相差が無い場合、すなわち位相差が０のときは、上記パルス数は０となる。ＣＰ１２はアップ信号ＵＰ／ダウン信号ＤＮの値、すなわち、上記パルス数に応じたチャージポンプ信号ＰＣを発生し、ＬＰＦ１３に供給する。ＬＰＦ１３はチャージポンプ信号ＰＣを平滑化し不要な高周波成分を除去するとともに所定のループ時定数を与えて発振制御信号ＣＯを出力する。ＶＣＯ１４は、発振制御信号ＣＯの値により周波数が制御され発振信号ＰＯを発生し、外部に出力するとともに、ＤＩＶ１５に供給する。ＤＩＶ１５は発振信号ＰＯが所定中心周波数のとき所定の基準信号周波数と同一の分周信号を発生する分周比である基本分周比で発振信号ＰＯを分周し分周信号Ｄを出力してＰＦＤ１に帰還する。

【００１７】変調回路３の変調カウンタ３１は、供給を受けた基準信号Ｒをカウントし、カウント値が予め設定した一定数に達した時、分周比切り替え信号ＣＸを発生する。すなわち、この基準信号のカウントは分周比切り替えのための一定の期間を設定するものである。

【００１８】説明の便宜上、再度上述した数値例、すなわち、発振信号ＰＯの中心周波数を１００ＭＨｚ、基準信号Ｒの周波数を１ＭＨｚ、ＤＩＶ１５の分周比を１００、周波数変調（ディザリング周波数）幅を±１ＭＨｚを用いて、説明する。

【００１９】再度図７を参照すると、まず、初期状態として変調カウンタが動作しておらず、従って、発振信号ＰＯの周波数は中心周波数１００ＭＨｚにロックし、ＤＩＶ１５の分周比は１００に設定されているものとする。従って、分周信号Ｄの周波数は１ＭＨｚであり、これは基準信号Ｒの周波数と同一である。ＰＦＤ１１は基準信号Ｒと分周信号Ｄとの間に位相差がないので、アップ信号ＵＰ／ダウン信号ＤＮのいずれも出力しない。すなわち、アップ信号ＵＰ／ダウン信号ＤＮのパルス数は０である。

【００２０】次に、ある時点Ｔ１で分周比切り替え信号ＣＸが発生し、分周比を１０１に切り替えると、この切り替え時点ではＰＬＬのループ時定数により、発振信号ＰＯの周波数は中心周波数１００ＭＨｚのロック状態を保持している。一方、分周信号Ｄは初期状態の１ＭＨｚから１００／１０１＝０．９９００９９０ＭＨｚ（以下説明の便宜上０．９９ＭＨｚとする）に低下する。従って、ＰＦＤ１１は、分周信号Ｄが基準信号Ｒより位相が遅れ、アップ信号ＵＰとして、例えば４パルスを発生し、ＣＰ１２に供給する。このとき、ダウン信号ＤＮの値、すなわちパルス数は０である。これにより、ＣＰ１

２は対応する正チャージポンプ信号ＰＣを出力し、ＬＰＦ１３は正チャージポンプ信号ＰＣの供給に応答して発振制御信号ＣＯを上昇させ、ＶＣＯ１４に供給する。ＶＣＯ１４は発振制御信号ＣＯの電圧値の上昇に応答して発振周波数を上記ループ時定数に従い上昇させる。発振信号ＰＯの周波数が１０１ＭＨｚに近づくと、分周信号Ｄの周波数も１ＭＨｚに漸近し、基準信号Ｒとの位相差が小さくなる。その結果、アップ信号ＵＰの値、すなわちパルス数は小さくなり、チャージポンプ信号ＰＣ及び発振制御信号ＣＯの上昇は低減しついには発振信号ＰＯの周波数が１０１ＭＨｚに対応する一定電圧に落ち着く（Ｔ２）。

【００２１】この時点で、分周比切り替え信号ＣＸを再度発生し、分周比を９９に切り替えると、この切り替え時点ではＰＬＬのループ時定数により、発振信号ＰＯの周波数は中心周波数１０１ＭＨｚのロック状態を保持している。一方、分周信号Ｄは０．９９ＭＨｚから１００／９９＝１．０１０１０１ＭＨｚ（以下説明の便宜上１．０１ＭＨｚとする）に上昇する。従って、ＰＦＤ１１は、分周信号Ｄが基準信号Ｒより位相が進み、ダウン信号ＤＮとして、例えば４パルスを発生し、ＣＰ１２に供給する。このとき、アップ信号ＵＰの値、すなわちパルス数は０である。これにより、ＣＰ１２は対応する負チャージポンプ信号ＰＣを出力し、ＬＰＦ１３は負チャージポンプ信号ＰＣの供給に応答して発振制御信号ＣＯを降下させ、ＶＣＯ１４に供給する。ＶＣＯ１４は発振制御信号ＣＯの電圧値の降下に応答して発振周波数を上記ループ時定数に従い降下させる。発振信号ＰＯの周波数が９９ＭＨｚに近づくと、分周信号Ｄの周波数も１ＭＨｚに漸近し、基準信号Ｒとの位相差が小さくなる。その結果、ダウン信号ＤＮの値、すなわちパルス数は小さくなり、チャージポンプ信号ＰＣ及び発振制御信号ＣＯの降下は低減しついには発振信号ＰＯの周波数が９９ＭＨｚに対応する一定電圧に落ち着く（Ｔ３）。

【００２２】以上の動作を繰り返すことにより、所望の周波数変調、すなわち、ディザリングを達成できるが、このとき、図５に示したような最良のクロックノイズレベル低減効果を発揮させるには、分周比切り替えタイミング、すなわちディザリング周期ＴＤを最適に設定する必要がある。

【００２３】不適切な分周比切り替えタイミングによるクロックノイズのスペクトルレベルへの影響の一例を示す図８を参照すると、図８（Ａ）に示すように、上記切り替えタイミングが最適タイミングより早すぎる場合は、図８（Ｂ）に示すように、所望のディザリング周波数幅に達せず、従って、所望のノイズレベル低減が得られない。逆に、図８（Ｃ）に示すように、上記切り替えタイミングが最適タイミングより遅すぎる場合は、図８（Ｄ）に示すように、ディザリング周波数幅の両端、この例では９９ＭＨｚと１０１ＭＨｚのノイズスペクトルにピークを生じ、従って、所望のノイズレベル低減が得られない。

【００２４】従って、最適な分周比切り替えタイミングを設定するため、ＰＬＬ部１内部のＣＰ１２やＬＰＦ１３等のアナログ回路の調整による適切なループ時定数の設定及び動作シミュレーションを含む複雑な調整を必要とする。

【００２５】

【発明が解決しようとする課題】上述した従来のＰＬＬ回路は、分周比切り替えタイミング設定用の変調回路のカウンタやそれに付随する制御回路等の付加回路の規模が大きいという欠点があった。

【００２６】また、ノイズレベル低減効果は分周比切り替えタイミングの適否に非常に敏感に影響されるので、最適な分周比切り替えタイミングの設定は、適切なループ時定数の設定や動作シミュレーションを含む複雑な調整を要するという欠点があった。

【００２７】本発明の目的は、上記欠点を除去し、比較的小さい回路規模で、かつ複雑な調整を必要とすることなく所望のノイズ低減効果を達成できるＰＬＬ回路を提供することにある。

【００２８】

【課題を解決するための手段】本発明のＰＬＬ回路は、一定周波数の基準信号から所定のクロック信号周波数の発振信号を生成するとともにこの発振信号に所定の周波数幅の周波数変調であるディザリングを実施することにより前記クロック信号のノイズスペクトル幅を拡げてノイズを拡散し、スペクトルレベルを低下させる位相同期ループ（以下ＰＬＬ）回路において、前記発振信号が前記周波数変調幅の下限周波数のときこの発振信号を第１の分周比で分周した第１の分周信号の周波数が前記基準信号の周波数と等しく、前記発振信号が前記周波数変調幅の上限周波数のときこの発振信号を第２の分周比で分周した第２の分周信号の周波数が前記基準信号の周波数と等しくなるように可変分周する可変分周回路と、前記基準信号と前記第１又は第２の分周信号との位相比較を行いこれら第１又は第２の分周信号の前記基準信号に対する位相の遅れ進みにそれぞれ対応したパルス信号であるアップ信号又はダウン信号を出力する位相検出回路と、前記アップ信号又はダウン信号の供給を受け前記アップ信号の供給に応答して前記可変分周回路を前記第１の分周比に設定し、前記ダウン信号の供給に応答して前記可変分周回路を前記第２の分周比に設定するよう制御する分周比切り替え制御信号を出力することにより前記ディザリングを制御するディザリング制御部とを備えて構成されている。

【００２９】

【発明の実施の形態】次に、本発明の実施の形態を図６と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図１を参照すると、この図に示す本

実施の形態のＰＬＬ回路は、１部の接続が異なるほかは従来のＰＬＬ回路と共通の基準周波数信号Ｒの供給を受け後述する変調制御部が動作しない場合中心周波数がこの基準周波数信号Ｒに位相同期するように動作して発振信号ＰＯを出力する通常のＰＬＬ回路であるＰＬＬ部１と、従来の変調回路３に代わりに後述するＰＦＤ１１の出力であり各々パルス信号であるアップ信号ＵＰ又はダウン信号ＤＮ（以下アップ信号ＵＰ／ダウン信号ＤＮ）の供給を受けＤＩＶ１５の分周比を切り替える切り替え制御信号ＣＣを出力することにより所定の周波数帯域幅の周波数変調であるディザリングを制御するディザリング制御部２とを備える。

【００３０】ＰＬＬ部１は、基準信号Ｒと発振信号ＰＯを所定分周比で分周した分周信号Ｄとを位相比較し比較結果に対応するパルス数のパルス信号であるアップ信号ＵＰ又はダウン信号ＤＮ（以下アップ信号ＵＰ／ダウン信号ＤＮ）をそれぞれ出力しチャージポンプ回路（以下ＣＰ）１２とディザリング制御部２とに供給する位相比較回路（以下ＰＦＤ）１１と、供給を受けたアップ信号ＵＰ／ダウン信号ＤＮのパルス数に対応して直流電圧信号であるチャージポンプ信号ＰＣを発生するＣＰ１２と、チャージポンプ信号ＰＣディザリング制御部２からの付加チャージポンプ信号ＰＳの供給を受けこれらチャージポンプ信号ＰＣ及び付加チャージポンプ信号ＰＳを平滑化し不要な高周波成分を除去するとともに所定のループ時定数を与えた発振制御信号ＣＯを出力する低域通過フィルタ（以下ＬＰＦ）１３と、発振制御信号ＣＯの値により周波数が制御され発振信号ＰＯを出力する電圧制御発振器（以下ＶＣＯ）１４と、発振信号ＰＯをディザリング制御部２からの分周比切り替え信号ＣＣの供給に応答して発振信号ＰＯが所定中心周波数のとき所定の基準信号周波数と同一の分周信号を発生する分周比である基本分周比を中心として分周比を制御されて分周信号Ｄを出力する分周比が可変の可変分周回路（以下ＤＩＶ）１５とを備える。

【００３１】ディザリング制御部２は、アップ信号ＵＰ／ダウン信号ＤＮの各第１パルスをラッチし一時保持して分周比切り替え制御信号ＣＣを出力するラッチ回路２１と、分周比切り替え制御信号ＣＣの値に対応して直流電圧信号である付加チャージポンプ信号ＰＳを出力するチャージポンプ回路（ＣＰ）２２とを備える。

【００３２】ラッチ回路２１は、第１入力端にアップ信号ＵＰの供給を受け第２入力端を後述のＮＯＲゲートＧ２の出力端に接続しこの出力端から分周比切り替え制御信号ＣＣを出力するＮＯＲゲートＧ１と、第２入力端にダウン信号ＤＮの供給を受け第１入力端をＮＯＲゲートＧ１の出力端に接続したＮＯＲゲートＧ２とを備える。

【００３３】ＣＰ２２は、ソースを電源に接続しゲートに分周比切り替え制御信号ＣＣの供給を受けドレインから付加チャージポンプ信号ＰＳを出力するＰチャネル型ＭＯＳトランジスタＰ２１と、ソースを接地にドレインをトランジスタＰ２１のドレインにゲートをトランジスタＰ２１のゲートにそれぞれ接続したＮチャネル型ＭＯＳトランジスタＮ２１とを備える。なお、このＣＰ２２の駆動能力、すなわち、チャージの場合の電流供給能力及びディスチャージの場合の電流シンク能力は、ＰＬＬ部１のＣＰ１２の駆動能力より小さく設定している。

【００３４】次に、図１及び各部波形をタイムチャートで示す図２を参照して本実施の形態の動作について説明すると、まず、ＰＬＬ部１のＰＦＤ１１は、外部から供給を受ける基準信号ＲとＤＩＶ１５から帰還される分周信号Ｄとの位相比較を行い、比較結果に対応して分周信号Ｄが基準信号Ｒより遅れている場合はアップ信号ＵＰを逆に分周信号Ｄが基準信号Ｒより進んでいる場合はダウン信号ＤＮをそれぞれ出力し、ＣＰ１２及びディザリング制御部２に供給する。ここで、アップ信号ＵＰ／ダウン信号ＤＮの値は、所定の単位サンプリング期間における位相差に対応するパルス数（以下単にパルス数と呼ぶ）として表す。すなわち、位相差が大きい場合はこのパルス数が大きくなり、位相差が小さくなるとパルス数が減少する。位相差が無い場合、すなわち位相差が０のときは、アップ信号ＵＰ／ダウン信号ＤＮのいずれも上記パルス数は０となる。この状態はいわゆるＰＬＬ部１の位相ロック状態（以下単にロック状態という）である。

【００３５】ＣＰ１２は、アップ信号ＵＰが供給された場合は、このアップ信号ＵＰの値、すなわち、パルス数に対応して所定基準値（ここでは説明の便宜上１／２ＶＤＤ（電源電圧）とする）に対し正極性の直流電圧信号である正チャージポンプ信号を発生する。換言すると、この動作は、電源ＶＤＤからチャージポンプ信号ラインへの充電、すなわちチャージ動作である。逆に、ダウン信号ＤＮが供給された場合はこのダウン信号ＤＮの値、すなわち、パルス数に応じて基準値０Ｖに対し負極性の直流電圧信号である負チャージポンプ信号を発生する（以下正／負各チャージポンプ信号を単にチャージポンプ信号ＰＣと呼ぶ）。換言すると、この動作は、チャージポンプ信号ラインから接地への放電、すなわちディスチャージ動作である。ここまでは、従来のＰＬＬ部の動作と同様である。

【００３６】一方、ディザリング制御部２のラッチ回路２１は、供給を受けたアップ信号ＵＰ／ダウン信号ＤＮの複数のパルスのうちの先頭のパルス、すなわち、第１パルスの前縁をラッチする。例えば、アップ信号ＵＰが供給されると、その第１パルスをラッチしＮＯＲゲートＧ２１の出力端はＬレベルとなる。従って、分周比切り替え制御信号ＣＣはＬレベルとなる。逆に、ダウン信号ＤＮがが供給されると、その第１パルスをラッチしＮＯＲゲートＧ２２の出力端はＬレベル、従って、ＮＯＲゲートＧ２１の出力端はＨレベルとなる。従って、分周比

切り替え制御信号ＣＣはＨレベルとなる。

【００３７】ディザリング制御部２のＣＰ２２は、分周比切り替え制御信号ＣＣのレベルに応じた値の付加チャージポンプ信号ＰＳを出力する。例えば、分周比切り替え制御信号ＣＣの値がアップ信号ＵＰに対応してＬレベルの場合は、ＣＰ２２のトランジスタＰ２１が導通し、トランジスタＮ２１が遮断状態であるので、付加チャージポンプ信号ＰＳの値は電源ＶＤＤのレベルに近いＨレベルとなる。逆に、分周比切り替え制御信号ＣＣの値がダウン信号ＤＮに対応してＨレベルの場合は、ＣＰ２２のトランジスタＰ２１が遮断し、トランジスタＮ２１が導通するので、付加チャージポンプ信号ＰＳの値は接地レベルに近いＬレベルとなる。

【００３８】ＬＰＦ１３の入力側で、チャージポンプ信号ＰＣ及び付加チャージポンプ信号ＰＳが合成されチャージポンプ信号ＰＣＳとなり、ＬＰＦ１３に入力する。ＬＰＦ１３は、供給を受けたチャージポンプ信号ＰＣＳを平滑化し不要な高周波成分を除去するとともに所定のループ時定数を与えた発振制御信号ＣＯを出力し、ＶＣＯ１４に供給する。

【００３９】ＶＣＯ１４は、供給を受けた発振制御信号ＣＯの電圧値により周波数が制御された発振信号ＰＯを発生し外部に出力するとともに、この発振信号ＰＯをＤＩＶ１５に供給する。

【００４０】ＤＩＶ１５は、発振信号ＰＯを予め設定した基本分周比を中心に所定の比率分加算（＋）及び減算（－）する分周比切り替え信号ＣＣで切り替えた分周比で分周し分周信号Ｄを出力する。すなわち、分周比切り替え信号ＣＣがＬレベルのときは基本分周比より所定比率分加算し、分周比切り替え信号ＣＣがＨレベルのときは基本分周比より所定比率分減算する。

【００４１】説明の便宜上、再度従来例で用いた数値例、すなわち、発振信号ＰＯの中心周波数を１００ＭＨｚ、基準信号Ｒの周波数を１ＭＨｚ、ＤＩＶ１５の基本分周比を１００、周波数変調（ディザリング周波数）幅を±１ＭＨｚを用いて、動作を説明する。

【００４２】再度図２を参照すると、まず、初期状態としてディザリング制御部２が動作しておらず、従って、発振信号ＰＯの周波数は中心周波数１００ＭＨｚにロックし、ＤＩＶ１５の分周比は基本分周比である１００に設定されているものとする。従って、分周信号Ｄの周波数は１ＭＨｚであり、これは基準信号Ｒの周波数と同一である。ＰＦＤ１１は基準信号Ｒと分周信号Ｄとの間に位相差がないので、アップ信号ＵＰ／ダウン信号ＤＮのいずれも出力しない。すなわち、アップ信号ＵＰ／ダウン信号ＤＮのパルス数は０である。

【００４３】次に、ある時点Ｔ１のとき発振信号ＰＯが中心周波数より低下し、例えば９９ＭＨｚとなったとする。この場合、ＤＩＶ１５は基本分周比１００に対応する分周信号０．９９ＭＨｚがＰＦＤ１１に供給されるので、ＰＦＤ１１は分周信号Ｄが基準信号Ｒより位相が遅れ、アップ信号ＵＰとして、例えば４パルスを発生し、ＣＰ１２及びディザリング制御部２に供給する。このときダウン信号ＤＮは発生しない。ＣＰ１２は、アップ信号ＵＰの供給に応答して正チャージポンプ信号ＰＣを出力する。

【００４４】ディザリング制御部２のラッチ回路２１は、アップ信号ＵＰの最初のパルス、すなわち、第１パルスの前縁をラッチし、これにより分周比切り替え制御信号ＣＣをＬレベルとする。

【００４５】分周比切り替え制御信号ＣＣのＬレベルに応答してＤＩＶ１５は基本分周比１００に１加算して分周比を１０１とする。これにより、分周信号Ｄは約９９／１０１＝０．９８ＭＨｚ、すなわち、基準信号Ｒの周波数よりさらに低下する。従って、ＰＦＤ１１はアップ信号ＵＰの出力を継続し、ＣＰ１２及びディザリング制御部２に供給し続ける。また、ディザリング制御部２のラッチ回路２１は、Ｌレベルの分周比切り替え制御信号ＣＣの出力を継続する。

【００４６】ディザリング制御部２のＣＰ２２は、Ｌレベルの分周比切り替え制御信号ＣＣの供給に応答して、対応する正の付加チャージポンプ信号ＰＳを出力し、ＬＰＦ１３に供給し、その入力側でＣＰ１２からのチャージポンプ信号ＰＣと合成され、合成チャージポンプ信号ＰＣＳとしてＬＰＦ１３に入力する。ＬＰＦ１３は、供給を受けたチャージポンプ信号ＰＣＳ対応の発振制御信号ＣＯを出力し、ＶＣＯ１４に供給する。チャージポンプ信号ＰＣ及び付加チャージポンプ信号ＰＳのいずれも正極性であるので、合成チャージポンプ信号ＰＣＳも正極性であり、また、上述したように、チャージポンプ信号ＰＣの方が駆動能力が高いので、主としてチャージポンプ信号ＰＣに従い発振制御信号ＣＯ（の電圧）を上昇させる。ＶＣＯ１４は発振制御信号ＣＯの上昇に従い、発振信号ＰＯの周波数を上昇させる。

【００４７】このようにして、発振信号ＰＯの周波数が上昇し、中心周波数１００ＭＨｚを超えて１０１ＭＨｚ近傍のＰＦＤ１１の不感域に達するまで上記動作を継続する。発振信号ＰＯの周波数が１０１ＭＨｚの上記不感域に到達すると、ＰＦＤ１１はアップ信号ＵＰの供給を停止するが、ラッチ回路２１はアップ信号ＵＰの保持状態を継続し、分周比切り替え制御信号ＣＣをＬレベルに保持し続ける。従って、ＣＰ２２はこれまでと同様に正の付加チャージポンプ信号ＰＳを出力し続ける。これにより、ＬＰＦ１３は、正の付加チャージポンプ信号ＰＳに従いさらに発振制御信号ＣＯを上昇させ、この発振制御信号ＣＯの上昇に従って、ＶＣＯ１４は発振信号ＰＯの周波数を上昇させる。

【００４８】この結果、発振信号ＰＯの周波数が１０１ＭＨｚの上記不感域の上限を超えると、ＰＦＤ１１はダウン信号ＤＮを出力し始め、ＣＰ１２及びディザリング

制御部２のラッチ回路２１に供給する（Ｔ３）。ＣＰ１２は、ダウン信号ＤＮの供給に応答して負チャージポンプ信号ＰＣを出力する。

【００４９】ラッチ回路２１は、ダウン信号ＤＮの最初のパルス、すなわち、第１パルスの前縁をラッチし、これにより分周比切り替え制御信号ＣＣをＨレベルとする。

【００５０】分周比切り替え制御信号ＣＣのＨレベルに応答してＤＩＶ１５は基本分周比１００から１減算して分周比を９９とする。これにより、分周信号Ｄは約１０１／９９＝１．０２ＭＨｚ、すなわち、基準信号Ｒの周波数よりさらに上昇する。従って、ＰＦＤ１１はダウン信号ＤＮの出力を継続し、ＣＰ１２及びラッチ回路２１に供給し続ける。また、ラッチ回路２１は、Ｈレベルの分周比切り替え制御信号ＣＣの出力を継続する。

【００５１】ディザリング制御部２のＣＰ２２は、Ｈレベルの分周比切り替え制御信号ＣＣの供給に応答して、対応する負の付加チャージポンプ信号ＰＳを出力し、ＬＰＦ１３に供給し、その入力側でＣＰ１２からの負チャージポンプ信号ＰＣと合成され、負の合成チャージポンプ信号ＰＣＳとしてＬＰＦ１３に入力する。ＬＰＦ１３は、供給を受けた負チャージポンプ信号ＰＣＳに対応して下降した発振制御信号ＣＯを出力し、ＶＣＯ１４に供給する。ＶＣＯ１４は発振制御信号ＣＯの下降に従い、発振信号ＰＯの周波数を下降させる。

【００５２】このようにして、発振信号ＰＯの周波数が下降し、中心周波数１００ＭＨｚを超えて９９ＭＨｚ近傍のＰＦＤ１１の不感域に達するまで上記動作を継続する。発振信号ＰＯの周波数が９９ＭＨｚの上記不感域に到達すると、ＰＦＤ１１はダウン信号ＤＮの供給を停止するが、ラッチ回路２１はダウン信号ＤＮの保持状態を継続し、分周比切り替え制御信号ＣＣをＨレベルに保持し続ける。従って、ＣＰ２２はこれまでと同様に負の付加チャージポンプ信号ＰＳを出力し続ける。これにより、ＬＰＦ１３は、負の付加チャージポンプ信号ＰＳに従いさらに発振制御信号ＣＯを下降させ、この発振制御信号ＣＯの下降に従って、ＶＣＯ１４は発振信号ＰＯの周波数を下降させる。

【００５３】この結果、発振信号ＰＯの周波数が９９ＭＨｚの上記不感域の下限以下となると、再度ＰＦＤ１１はアップ信号ＵＰを出力し始め、ＣＰＩ２及びディザリング制御部２のラッチ回路２１に供給する（Ｔ４）。ＣＰ１２は、アップ信号ＵＰの供給に応答して正チャージポンプ信号ＰＣを出力し、ＶＣＯ１４からの発振信号ＰＯの周波数を再度上昇させる。

【００５４】以上の動作を反復し、発振信号ＰＯは所望の周波数幅９９～１０１ＭＨｚでディザリングされる。この結果、従来の技術で説明したように、１００ＭＨｚに集中していたクロックノイズのエネルギーを９９～１０１ＭＨｚに拡散し、クロックノイズのスペクトルレベルを低減できる。

【００５５】本実施の形態の動作を時間対発振周波数のグラフ及びスペクトル図で示す図３を参照すると、本実施の形態の動作特性は、ＣＰ１２及びディザリング制御部２のＣＰ２２の駆動能力により変動し、図３（Ａ），（Ｂ）は駆動能力が高い場合の時間対発振周波数のグラフ及びスペクトル図、図３（Ｃ），（Ｄ）は駆動能力が低い場合の時間対発振周波数のグラフ及びスペクトル図をそれぞれ示す。ＣＰ１２，ＣＰ２２の駆動能力が高い場合、ディザリング周期が短くなり、逆に駆動能力が低い場合は、すなわちディザリング周期が長くなる。一方、いずれの場合もスペクトル特性は殆ど同一であり、従って、ノイズ低減効果も殆ど同一であり、切り替えタイミングが適切であるといえる。このことから、これらＣＰ１２，ＣＰ２２の駆動能力の変化による適切な切り替えタイミングからの逸脱、すなわち、ノイズ低減効果への影響は殆どないといえる。

【００５６】なお、ここでは説明の便宜上、ノイズスペクトルの各周波数（３００ＭＨｚ，５００ＭＨｚ，・・・）成分のレベルを一括して基本波の周波数で表示している。

【００５７】以上説明したように、本実施の形態では、ディザリング制御部が、ＰＦＤの出力するアップ信号／ダウン信号の第１パルスをラッチし、この第１パルスのラッチタイミングを分周比切り替えタイミングとしているので、従来のＰＬＬ回路で必要としたＬＰＦ等のアナログ回路や、シミュレーションによる分周比切り替えタイミングの複雑なの調整が不要となり、また、タイミング設定用のカウンタ等の回路も不要となり、回路規模を縮小できる。

【００５８】次に、本発明の第２の実施の形態を図１と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図４を参照すると、この図に示す本実施の形態の前述の第１の実施の形態との相違点は、ＰＬＬ部１の代わりに、ＣＰ１２を削除したＰＬＬ部１Ａを備えることである。

【００５９】従って、ＬＰＦ１３への入力信号は付加チャージポンプ信号ＰＳのみとなる。第１の実施の形態の説明からも明らかなように、ＣＰ２２の駆動能力がＬＰＦ１３を十分駆動できれば付加チャージポンプ信号ＰＳのみで十分動作が可能である。

【００６０】本実施の形態では、ＣＰ１２が不要となるため、第１の実施の形態に比べて回路規模を削減でき、集積回路化したときの所要面積を削減できることである。

【００６１】

【発明の効果】以上説明したように、本発明のＰＬＬ回路は、発振信号が周波数変調幅の下限及び上限各周波数のときこの発振信号を第１及び第２の分周比でそれぞれ分周した第１及び第２の分周信号の各々の周波数が基準

信号の周波数と等しくなるように可変分周する可変分周回路と、基準信号と分周信号との位相比較を行いそれぞれ対応したパルス信号であるアップ信号又はダウン信号を出力する位相検出回路（ＰＦＤ）と、アップ信号の供給に応答して第１の分周比に設定し、ダウン信号の供給に応答して第２の分周比に設定するよう制御する分周比切り替え制御信号を出力することによりディザリングを制御するディザリング制御部とを備えるので、ＰＦＤの出力するアップ信号／ダウン信号の第１パルスをラッチし、この第１パルスのラッチタイミングを分周比切り替えタイミングとしているので、確実に最適な切り替えタイミングが得られという効果がある。

【００６２】また、従来のＰＬＬ回路で必要としたＬＰＦ等のアナログ回路や、シミュレーションによる分周比切り替えタイミングの複雑なの調整が不要となり、また、タイミング設定用のカウンタ等の回路も不要となり、回路規模を縮小できるという効果がある。

【図面の簡単な説明】

【図１】本発明のＰＬＬ回路の第１の実施の形態を示すブロック図である。

【図２】本実施の形態のＰＬＬ回路における動作の一例を示すタイムチャートである。

【図３】本実施の形態のＰＬＬ回路における動作の一例を示す時間対発振周波数のグラフ及びスペクトル図である。

【図４】本発明のＰＬＬ回路の第１の実施の形態を示すブロック図である。

【図５】通常ＰＬＬ回路における動作の一例を示す時間対発振周波数のグラフ及びスペクトル図である。

【図６】従来のＰＬＬ回路の一例を示すブロック図である。

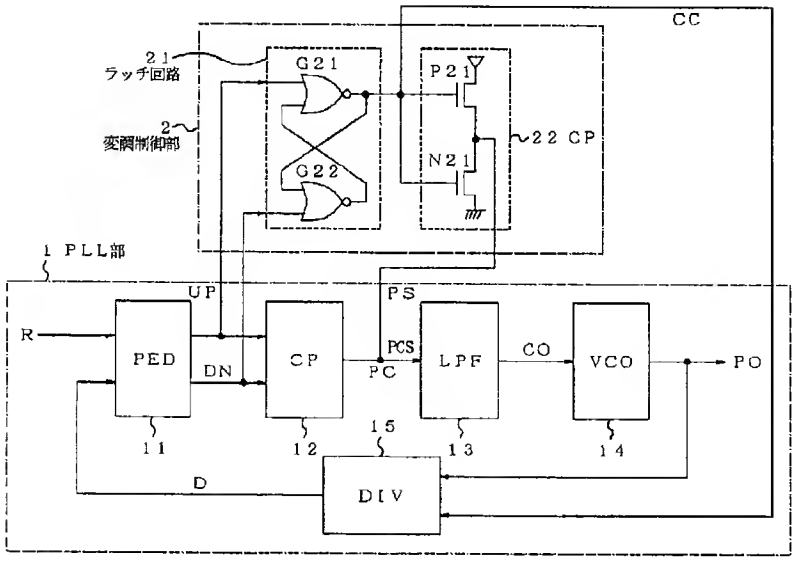
【図７】従来のＰＬＬ回路における動作の一例を示すタイムチャートである。

【図８】従来のＰＬＬ回路における動作の一例を示す時間対発振周波数のグラフ及びスペクトル図である。

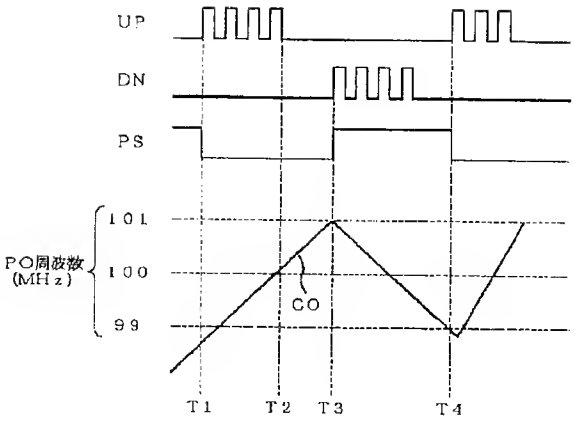
【符号の説明】

１，１Ａ　ＰＬＬ部
２　ディザリング制御部
３　変調回路
１１　ＰＦＤ
１２，２２　ＣＰ
１３　ＬＰＦ
１４　ＶＣＯ
１５　ＤＩＶ
２１　ラッチ回路
３１　変調カウンタ
Ｇ２１，Ｇ２２　ＮＯＲゲート
Ｐ２１，Ｎ２１　トランジスタ

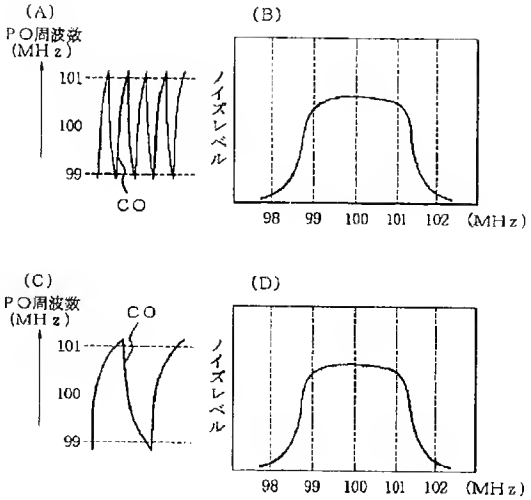
【図１】



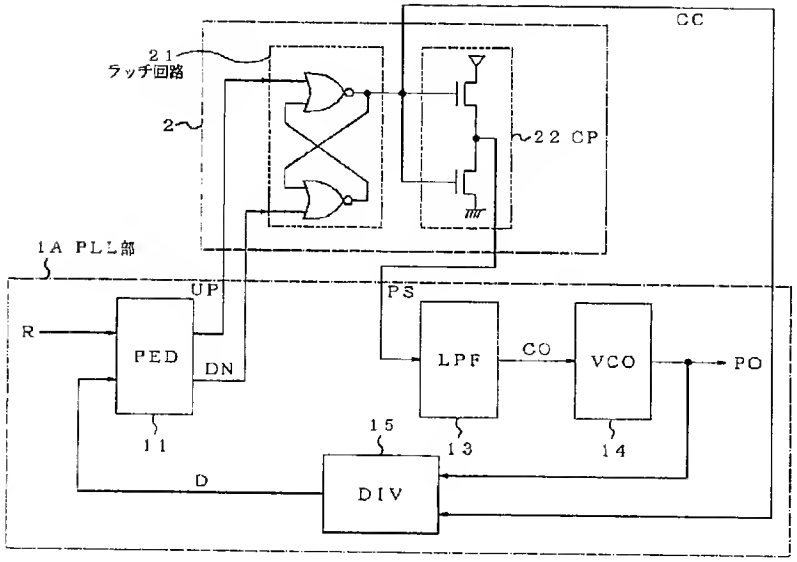
【図２】


UP
DN
PS
PO周波数
(MHz)
101
100
99
CO
T1
T2
T3
T4

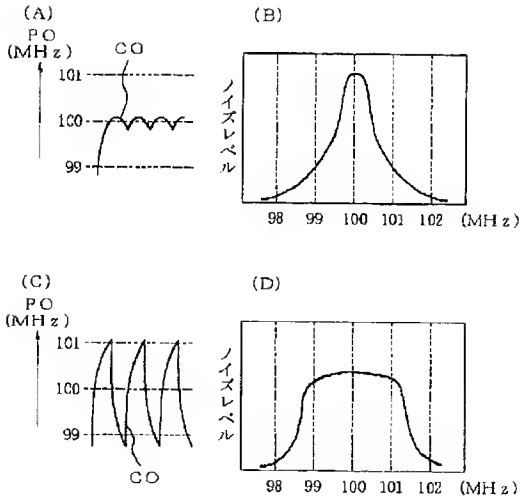
【図３】


(A)
PO周波数
(MHz)
101
100
99
CO
(B)
ノイズレベル
98
99
100
101
102
(MHz)
(C)
PO周波数
(MHz)
CO
101
100
99
(D)
ノイズレベル
98
99
100
101
102
(MHz)

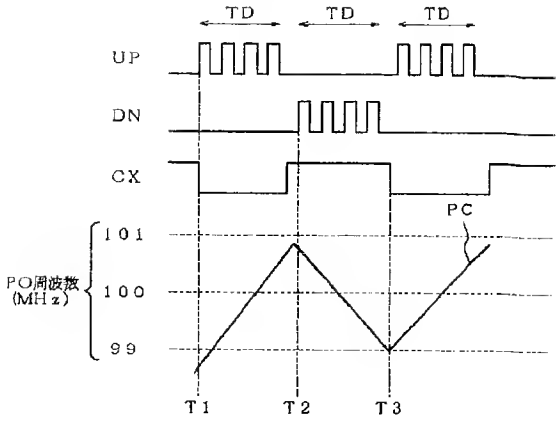
【図４】


CC
21
ラッチ回路
2
22 CP
1A PLL部
UP
PS
R
PED
DN
LPF
CO
VCO
PO
11
13
14
15
D
DIV

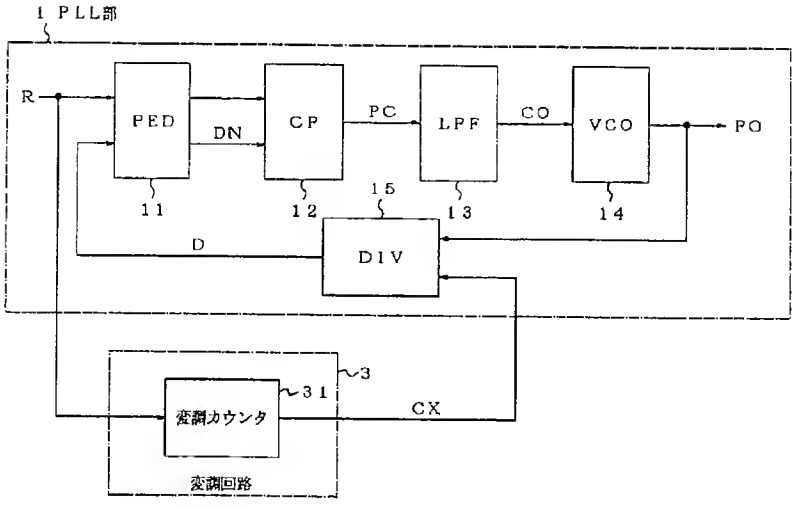
【図５】


(A)
PO
(MHz)
CO
101
100
99
(B)
ノイズレベル
98 99 100 101 102 (MHz)
(C)
PO
(MHz)
101
100
99
CO
(D)
ノイズレベル
98 99 100 101 102 (MHz)

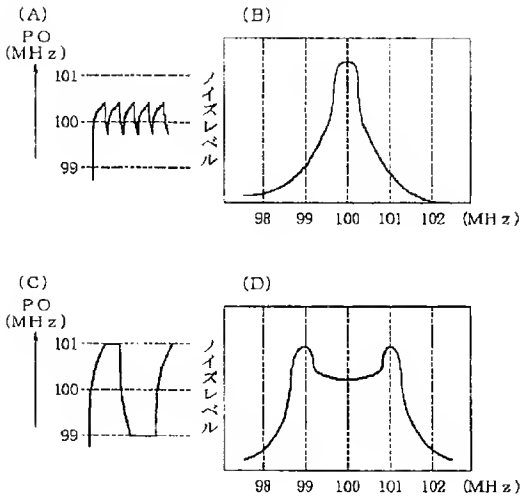
【図７】


TD
TD
TD
UP
DN
CX
PC
PO周波数
(MHz)
101
100
99
T1
T2
T3

【図６】


1 PLL部
R
PED
DN
CP
PC
LPF
CO
VCO
PO
11
12
15
13
14
D
DIV
3
31
変調カウンタ
CX
変調回路

【図８】



フロントページの続き

Ｆターム(参考)　5J106 AA04 BB08 CC01 CC24 CC38
CC41 CC53 DD32 DD42 GG09
HH10 KK26 KK32 KK39 PP03
QQ08 RR18

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007700
(43)Date of publication of application : 12.01.2001

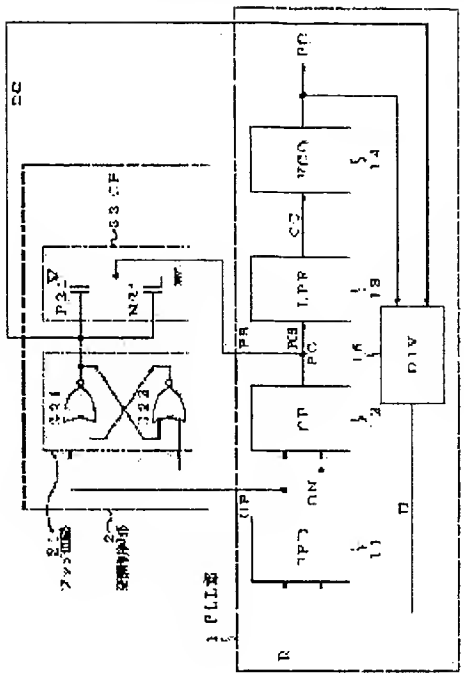
(51)Int.Cl. H03L 7/183
H03L 7/06

(21)Application number : 11-175568
(22)Date of filing : 22.06.1999

(71)Applicant : NEC IC MICROCOMPUT SYST LTD
(72)Inventor : SHIMOKAWA HIROKI

(54) PLL CIRCUIT

(57)Abstract:
PROBLEM TO BE SOLVED: To attain desired noise reduction effects, without the need for complicated adjustments, as well as a comparatively small circuit scale.
SOLUTION: A PLL circuit is provided with a DIV 15, that variably frequency-divides an oscillated signal PO, so that each frequency of frequency division signals D resulting from frequency-dividing the oscillated signal PO by frequency division ratios 101, 99 is equal to frequency 1 MHz of a reference signal, R when the frequency of the oscillated signal PO is 99 MHz that is a lower limit of a frequency modulation width and 101 MHz that is an upper limit of it, a PFD 11 that compares a phase of the reference signal R with the phase of the frequency division signal D and outputs an UP signal UP or a down signal DN that is a pulse signal corresponding to them, and a dithering control section 2 that controls dithering by outputting a frequency division ratio switching control signal CC set to the frequency division ratio 99, in response to the supply of the down signal DN.



LEGAL STATUS

[Date of request for examination]	25.04.2001
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3434734
[Date of registration]	30.05.2003
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] By carrying out dithering which is the frequency modulation of a predetermined spectrum space to this oscillation signal, while generating the oscillation signal of a predetermined clock signal frequency from the reference signal of constant frequency, expand the noise-spectrum width of face of said clock signal, and a noise is diffused. In the phase-locked loop (henceforth, PLL) circuit in which spectrum level is reduced The frequency of the 1st dividing signal which carried out dividing of this oscillation signal by the 1st division ratio when said oscillation signal was the lower cut off frequency of said frequency modulation width of face is equal to the frequency of said reference signal. The adjustable frequency divider which carries out adjustable dividing so that the frequency of the 2nd dividing signal which carried out dividing of this oscillation signal by the 2nd division ratio may become equal to the frequency of said reference signal when said oscillation signal is the upper limited frequency of said frequency modulation width of face, The phase detector which performs a phase comparison with the said reference signal, said 1st, or 2nd dividing signal, and outputs the rise signal or down signal which is a pulse signal corresponding to the delay progress of a phase to said reference signal of these [1st] or the 2nd dividing signal, respectively, Receive supply of said rise signal or a down signal, answer supply of said rise signal, and said good variations periphery circuit is set as said 1st division ratio. The PLL circuit characterized by having the dithering control section which controls said dithering by outputting the division ratio change control signal controlled to answer supply of said down signal and to set said good variations periphery circuit as said 2nd division ratio.
[Claim 2] Said phase detector where supply of the said reference signal, said 1st, or 2nd dividing signal is answered, and at least a deed outputs said rise signal or down signal corresponding to a phase comparison result for said phase comparison, The main charge pump circuit which outputs the main charge pump signal which is a direct current signal which performs charge/discharge of the direct current voltage corresponding to the value of said rise signal or a down signal, The low pass filter which gives a predetermined loop-formation time constant and outputs an oscillation control signal while removing the unnecessary high frequency component of said main charge pump signal, The armature-voltage control oscillator circuit which outputs the oscillation signal of the frequency according to the electrical potential difference/current value of said oscillation control signal, Receive supply of said oscillation signal and this oscillation signal with the division ratio change control signal which receives supply from said dithering control section The PLL circuit according to claim 1 characterized by having the PLL section which has said good variations periphery circuit which carries out dividing by said 1st or 2nd division ratio, and outputs said 1st or 2nd dividing signal.
[Claim 3] The PLL circuit according to claim 1 characterized by having the latch circuit which said dithering control section incorporates and holds each 1st pulse of said rise signal which consists of two or more pulses, or a down signal (latch), and outputs said division ratio change control signal.
[Claim 4] The PLL circuit according to claim 1 characterized by having the addition charge pump circuit where said dithering control section outputs the addition charge pump signal which is a direct current signal which performs charge/discharge of direct current voltage corresponding to the level of said division ratio change control signal.
[Claim 5] The charge pump circuit where said dithering control section outputs the charge pump signal which is a direct current signal which performs charge/discharge of direct current voltage corresponding to the level of said division ratio change control signal is offered. Said phase detector where supply of the said reference signal, said 1st, or 2nd dividing signal is answered, and at least a deed outputs said rise signal or down signal corresponding to a phase comparison result for said phase comparison, The low pass filter which gives a predetermined loop-formation time constant and outputs an oscillation control signal while removing the unnecessary high frequency component of the carrier beam aforementioned charge pump signal for supply, The armature-voltage control oscillator circuit which outputs the oscillation signal of the frequency according to the

electrical potential difference/current value of said oscillation control signal, Receive supply of said oscillation signal and this oscillation signal with the division ratio change control signal which receives supply from said dithering control section The PLL circuit according to claim 1 characterized by having the PLL section which has said good variations periphery circuit which carries out dividing by said 1st or 2nd division ratio, and outputs said 1st or 2nd dividing signal.

[Claim 6] The PLL circuit according to claim 3 characterized by to have the 1st NOR gate which said latch circuit receives supply of said rise signal in the 1st input edge, connects the 2nd input edge to the outgoing end of the 2nd below-mentioned NOR gate, and outputs said division ratio change control signal from this outgoing end, and the 2nd NOR gate which received supply of said down signal in the 2nd input edge, and connected the 1st input edge to the outgoing end of said 1st NOR gate.

[Claim 7] The PLL circuit according to claim 4 characterized by to have the 1st MOS transistor of the P channel mold with which an addition charge pump circuit connects the source to a power source, receives supply of said division ratio change control signal in the gate, and outputs an addition charge pump signal from a drain, and the 2nd MOS transistor of the N channel mold which connected the drain to the drain of the 1st MOS transistor, and connected the gate to touch-down for the source at the gate of the 1st MOS transistor, respectively.

[Translation done.]

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] Especially this invention relates to the PLL circuit for generating the clock signal which reduced the electromagnetic-compatibility (EMI) noise about a PLL circuit.
[0002]
[Description of the Prior Art] Digitization of electronic equipment progresses rapidly in recent years, in connection with this, amplification also of the amount of the EMI noise resulting from actuation of a digital circuit is enhanced, and it is posing the problem that the reduction is big. There is a clock noise to occupy the largest specific gravity as a source of release of this kind of EMI noise. A clock noise is a noise resulting from the clock signal which has been the criteria of actuation of a digital circuit. A clock noise has the spectrum which consists of the component of an odd time frequency of a clock frequency so that it may be well-known. Spectral band width becomes narrow and spectrum level becomes high at reverse, so that the frequency precision of this spectrum of a clock signal improves.
[0003] As the approach of clock noise reduction, by carrying out the frequency modulation of the clock signal in recent years, the noise-spectrum width of face corresponding to a clock frequency is expanded, a noise is diffused, and the clock dithering technique of reducing spectrum level attracts attention.
[0004] For example, the electronic instrument which oppressed the spurious radiation noise given in JP,4-75469,U (reference 1) reduces the degree of concentration on a frequency shaft by making the sharpness of the spectrum of the spurious radiation (noise) component of a clock signal reduce and decentralize by applying few frequency modulation to the clock signal outputted from a voltage controlled oscillator.
[0005] Radiation reduction equipment given in JP,8-125564,A (reference 2) performs clock dithering of a shallow request of a modulation by having constituted so that Q which oscillates the clock of predetermined frequency might be equipped with a high clock oscillator circuit, the modulating-signal oscillator circuit which oscillates the modulating signal of predetermined frequency, and the modulation circuit which carries out the frequency modulation of the clock with a modulating signal and Q might carry out the frequency modulation of the high clock oscillation output.
[0006] A phase-locked loop (PLL) circuit is used for the general approach of generating the system clock of a predetermined frequency from the reference signal of constant frequency.
[0007] A PLL circuit consists of three basic parts, i.e., a phase detecting element, the loop filter section, and the armature-voltage control oscillation section (VCO) fundamentally. A phase detecting element has the 1st input which receives a reference clock signal, and the 2nd input which receives a VCO output signal or its dividing signal (it both bundles up after [expedient] explaining here, and is called a return signal). Moreover, a return signal is also the input of a PLL circuit. A phase detecting element has the output connected to the loop filter section, and the loop filter section has the output connected to VCO.
[0008] Working and a phase detecting element output the phase detecting signal proportional to the phase contrast between a reference clock signal and both the input signals of a return signal. Answering supply of a phase detecting signal, the loop filter section outputs the filter output signal which is the function of this phase detecting signal. VCO outputs, the oscillation signal, i.e., the VCO output signal, of the frequency proportional to the electrical potential difference (or current) of a filter output signal. As mentioned above, dividing of the VCO output signal is carried out by the division ratio remaining as it is or predetermined, and it returns to the 2nd input of a phase detecting element as a return signal. This return signal is required in order that a VCO output signal may carry out phase simulation to a reference clock signal.
[0009] Reference of drawing 5 (A) which shows actuation of this general PLL (following usually PLL) in the graph of a time amount pair oscillation frequency sets to 100 the division ratio of the return signal which carries out dividing of 1MHz and the oscillation signal PO for the frequency of 100MHz and a reference clock signal,

and generates the center frequency of the output signal (oscillation signal) PO of VCO for convenience of explanation here. As shown in drawing, since it locks in the frequency of the oscillation signal PO, the frequency of the oscillation signal PO is usually fixed in PLL 100MHz. The noise component spectrum of the system clock corresponding to oscillation signal PO in this case is concentrated on a higher-harmonic (following only higher harmonic) component odd 100MHz times, as typically shown in drawing 5 (B). In addition, in this drawing, the level of each frequency (300MHz, 500MHz, ...) component of the noise spectrum after [expedient] explaining is collectively displayed on the frequency of a fundamental wave.

[0010] With a clock dithering technique, reference of drawing 5 (C) which shows the time amount pair oscillation frequency at the time of applying the 1%, i.e., **1MHz, frequency modulation of the frequency of the oscillation signal PO in a graph changes the frequency of the oscillation signal PO with fixed rate of change in the frequency range from 99MHz to 101MHz focusing on 100MHz according to time amount progress. As the noise component spectrum of the system clock corresponding to oscillation signal PO in this case is typically shown in drawing 5 (D) like drawing 5 (B), as compared with the oscillation signal of PLL, the frequency band of a noise spectrum usually covers the frequency from 99MHz to 101MHz, and considerable reduction of the spectrum level is carried out. In addition, generally [the frequency of the oscillation signal PO mentioned above / about 1%] as clock dithering width of face, it is used.

[0011] the approach and equipment for controlling radiation of the electromagnetic interference in a digital system given [as an example which aimed at EMI noise reduction by clock dithering] in JP,9-289527,A (reference 3) using a PLL circuit -- the base -- the 1st signal which has a desired average frequency is drawn from a signal, the frequency modulation of this 1st signal is carried out, and a modulation reference signal is acquired. A clock generation circuit including a PLL circuit generates a clock based on a modulation reference signal. It is spread over the 1st frequency band by radiation of the electromagnetic interference of a modulation reference signal, and radiation of the electromagnetic interference of a clock signal is spread over the 2nd frequency band.

[0012] Moreover, diffuse-spectrum clock generation equipment given in JP,9-98152,A (reference 4) The diffuse-spectrum clock generation equipment which generates the diffuse-spectrum clock signal which has the reduced amplitude EMI spectrum component in the harmonic of fundamental frequency and fundamental frequency in harmony with the oscillator which generates a reference frequency clock signal, and this oscillator is included. The desirable example of this diffuse-spectrum clock generation equipment The diffuse-spectrum modulator which carries out the frequency modulation of the clock pulse generation equipment which generates a series of clock pulses including the PLL circuit containing VCO, and the clock pulse generation equipment, extends the spectral band width of an EMI spectrum component, and carries out flattening of the amplitude is included. The table on which this diffuse-spectrum modulator memorizes digital value, The 1st counter which carries out the address to the above-mentioned table at the count from which the counter itself differs, respectively, The above-mentioned PLL circuit which has a control input, and the 2nd counter which inputs the above-mentioned reference frequency clock signal, and provides the above-mentioned PLL circuit with a control input, It has a means to combine the conversion signal which changed into the signal for control of Above VCO the digital value by which storage was carried out [above-mentioned] with the signal from the above-mentioned PLL circuit, and to supply Above VCO by making this combination signal into a control signal.

[0013] In order to contrast the PLL circuit of a publication with this invention at reference 4 grade, when drawing 6 which shows with a block the conventional PLL circuit which took out only that main point part is referred to, this conventional PLL circuit The PLL section 1 which is the usual PLL circuit which operates so that center frequency may carry out phase simulation to this reference frequency signal R, and outputs the oscillation signal PO when the modulation circuit which receives and mentions supply of the reference frequency signal R later does not operate, It has the modulation circuit 3 which receives supply of a reference signal R and applies predetermined frequency modulation to the oscillation signal PO based on the frequency of this reference signal R.

[0014] To the extent that the PLL section 1 carries out the phase comparison of the dividing signal D which carried out dividing of a reference signal R and the oscillation signal PO by the predetermined division ratio and outputs the rise signal UP or the down signal DN (following rise signal UP / down signal DN) corresponding to a comparison result, respectively The phase comparison circuit 11 (henceforth, PFD), The charge pump circuit 12 which generates the charge pump signal PC which is a direct-current-voltage signal about supply corresponding to the value of carrier beam rise signal UP / down signal DN (henceforth, CP), The low pass filter 13 which outputs the oscillation control signal CO which gave the predetermined loop-formation time constant while graduating the charge pump signal PC and removing an unnecessary high frequency component (henceforth, LPF), The voltage controlled oscillator (henceforth, VCO) 14 which a frequency is controlled by the value of the oscillation control signal CO, and outputs the oscillation signal PO, and the division ratio which carries out

dividing of the oscillation signal PO by the predetermined division ratio, and outputs the dividing signal D are equipped with the adjustable variable divider (henceforth, DIV) 15.

[0015] A modulation circuit 3 is equipped with the modulation counter 31 which supplies the division ratio change signal CX which changes the division ratio of DIV15 by the predetermined range and a predetermined, predetermined pattern to DIV15, when supply of a reference signal R is received, this reference signal R is counted and counted value reaches a predetermined number.

[0016] When actuation of the conventional PLL circuit is explained with reference to drawing 7 which shows drawing 6 and each part wave by the timing diagram, next, PFD11 of the PLL section 1 A phase comparison with the dividing signal D which returns from the reference signals R and DIV15 which receive supply from the exterior is performed. When the dividing signal D is behind the reference signal R corresponding to the comparison result and the dividing signal D is progressing the rise signal UP to reverse from the reference signal R, the down signal DN is outputted, respectively, and CP12 is supplied. Here, the value of rise signal UP / down signal DN is expressed as a pulse number (following pulse number) in the predetermined sampling period corresponding to phase contrast. That is, if this pulse number becomes large and phase contrast becomes small when phase contrast is large, a pulse number will decrease. When phase contrast is 0 when there is no phase contrast namely, the above-mentioned pulse number is set to 0. CP12 generates the charge pump signal PC according to the value, i.e., above-mentioned pulse number, of rise signal UP / down signal DN, and supplies it to LPF13. LPF13 gives a predetermined loop-formation time constant, and outputs the oscillation control signal CO while it graduates the charge pump signal PC and removes an unnecessary high frequency component. VCO14 is supplied to DIV15 while a frequency is controlled by the value of the oscillation control signal CO, and it generates the oscillation signal PO and outputs it outside. When the oscillation signal PO is predetermined center frequency, DIV15 carries out dividing of the oscillation signal PO by the basic division ratio which is a division ratio which generates the same dividing signal as a predetermined reference signal frequency, outputs the dividing signal D, and returns to PFD1.

[0017] The modulation counter 31 of a modulation circuit 3 generates the division ratio change signal CX, when the fixed numbers to which the carrier beam reference signal R was counted and counted value set supply beforehand are reached. That is, the count of this reference signal sets up a fixed period for a division ratio change.

[0018] The division ratio of 1MHz and DIV15 is used for the frequency of 100MHz and a reference signal R, **1MHz is used for 100 and frequency modulation (dithering frequency) width of face, and center frequency, the numerical example PO again mentioned above for convenience, i.e., the oscillation signal, of explanation, is explained.

[0019] If drawing 7 is referred to again, first, a modulation counter shall not operate as an initial state, therefore the frequency of the oscillation signal PO shall be locked in center frequency of 100MHz, and the division ratio of DIV15 shall be set as 100. Therefore, the frequency of the dividing signal D is 1MHz, and this is the same as that of the frequency of a reference signal R. Since PFD11 does not have phase contrast between a reference signal R and the dividing signal D, neither rise signal UP nor / down signal DN are outputted. That is, the pulse number of rise signal UP / down signal DN is 0.

[0020] Next, if the division ratio change signal CX occurs in T1 at a certain event and a division ratio is changed to 101, at this change event, as for the frequency of the oscillation signal PO, the lock condition with a center frequency of 100MHz will be held with the loop-formation time constant of PLL. On the other hand, the dividing signal D falls to 100 / 101= 0.9900990MHz (it may be 0.99MHz on [of explanation] expedient below) from 1MHz of an initial state. Therefore, from a reference signal R, a phase generates for example, four pulses as delay and a rise signal UP, and the dividing signal D supplies PFD11 to CP12. At this time, the value of the down signal DN, i.e., a pulse number, is 0. Thereby, CP12 outputs the forward corresponding charge pump signal PC, and LPF13 answers supply of the forward charge pump signal PC, and raises the oscillation control signal CO, and it supplies it to VCO14. VCO14 answers lifting of the electrical-potential-difference value of the oscillation control signal CO, and raises an oscillation frequency according to the above-mentioned loop-formation time constant. If the frequency of the oscillation signal PO approaches 101MHz, asymptotic [of the frequency of the dividing signal D] will be carried out to 1MHz, and phase contrast with a reference signal R will become small. consequently, the value of the rise signal UP, i.e., a pulse number, -- small -- becoming -- lifting of the charge pump signal PC and the oscillation control signal CO -- decreasing -- just -- being alike -- the frequency of the oscillation signal PO settles in the fixed electrical potential difference corresponding to 101MHz (T2).

[0021] If the division ratio change signal CX is generated again and a division ratio is changed to 99 at this event, at this change event, the frequency of the oscillation signal PO will hold the lock condition with a center frequency of 101MHz with the loop-formation time constant of PLL. On the other hand, the dividing signal D

goes up from 0.99MHz to 100 / 99= 1.010101MHz (it may be 1.01MHz on [of explanation] expedient below). Therefore, from a reference signal R, a phase progresses, and the dividing signal D generates for example, four pulses as a down signal DN, and supplies PFD11 to CP12. At this time, the value of the rise signal UP, i.e., a pulse number, is 0. Thereby, CP12 outputs the negative corresponding charge pump signal PC, and LPF13 answers supply of the negative charge pump signal PC, and drops the oscillation control signal CO, and it supplies it to VCO14. VCO14 answers the drop of the electrical-potential-difference value of the oscillation control signal CO, and drops an oscillation frequency according to the above-mentioned loop-formation time constant. If the frequency of the oscillation signal PO approaches 99MHz, asymptotic [of the frequency of the dividing signal D] will be carried out to 1MHz, and phase contrast with a reference signal R will become small. consequently, the value of the down signal DN, i.e., a pulse number, -- small -- becoming -- the drop of the charge pump signal PC and the oscillation control signal CO -- decreasing -- just -- being alike -- (T3) the frequency of the oscillation signal PO settles in the fixed electrical potential difference corresponding to 99MHz.

[0022] Although desired frequency modulation, i.e., dithering, can be attained by repeating the above actuation, in order to demonstrate the best clock noise level reduction effectiveness as shown in drawing 5 at this time, it is necessary to set up the division ratio change timing TD, i.e., a dithering period, the optimal.

[0023] When drawing 8 which shows an example of effect in the spectrum level of the clock noise by unsuitable division ratio change timing is referred to and the above-mentioned change timing is too earlier than the optimal timing as shown in drawing 8 (A), as shown in drawing 8 (B), a desired dithering spectrum space is not reached, therefore desired noise level reduction is not obtained. On the contrary, as shown in drawing 8 (C), when the above-mentioned change timing is too later than the optimal timing, as shown in drawing 8 (D), in the ends of a dithering frequency span, and this example, a peak is produced in a noise spectrum (99MHz and 101MHz), therefore desired noise level reduction is not obtained.

[0024] Therefore, in order to set up the optimal division ratio change timing, the complicated adjustment including setting out and the simulation of operation of a suitable loop-formation time constant by adjustment of CP12 of the PLL section 1 interior or the analog circuit of LPF13 grade is needed.

[0025]

[Problem(s) to be Solved by the Invention] The conventional PLL circuit mentioned above had the fault that the magnitude of addition circuits, such as a control circuit which accompanies the counter of the modulation circuit for division ratio change timing settings and it, was large.

[0026] Moreover, since the noise level reduction effectiveness was influenced in the propriety of division ratio change timing very sensitively, as for setting out of the optimal division ratio change timing, the fault of requiring the complicated adjustment including setting out and the simulation of operation of a suitable loop-formation time constant had it.

[0027] The object of this invention is to offer the PLL circuit which can attain the desired noise reduction effectiveness, without removing the above-mentioned fault and needing the complicated adjustment which is comparatively small circuit magnitude.

[0028]

[Means for Solving the Problem] By carrying out dithering which is the frequency modulation of a predetermined spectrum space to this oscillation signal, while generating the oscillation signal of a predetermined clock signal frequency from the reference signal of constant frequency, the PLL circuit of this invention expands the noise-spectrum width of face of said clock signal, and diffuses a noise. In the phase-locked loop (henceforth, PLL) circuit in which spectrum level is reduced The frequency of the 1st dividing signal which carried out dividing of this oscillation signal by the 1st division ratio when said oscillation signal was the lower cut off frequency of said frequency modulation width of face is equal to the frequency of said reference signal. The adjustable frequency divider which carries out adjustable dividing so that the frequency of the 2nd dividing signal which carried out dividing of this oscillation signal by the 2nd division ratio may become equal to the frequency of said reference signal when said oscillation signal is the upper limited frequency of said frequency modulation width of face, The phase detector which performs a phase comparison with the said reference signal, said 1st, or 2nd dividing signal, and outputs the rise signal or down signal which is a pulse signal corresponding to the delay progress of a phase to said reference signal of these [1st] or the 2nd dividing signal, respectively, Receive supply of said rise signal or a down signal, answer supply of said rise signal, and said good variations periphery circuit is set as said 1st division ratio. By outputting the division ratio change control signal controlled to answer supply of said down signal and to set said good variations periphery circuit as said 2nd division ratio, it has the dithering control section which controls said dithering, and is constituted.

[0029]

[Embodiment of the Invention] If drawing 1 which gives common reference characters/figure to drawing 6 and a

common component, and shows the gestalt of operation of this invention with a block similarly is referred to, next, the PLL circuit of the gestalt of this operation shown in this drawing The PLL section 1 which is the usual PLL circuit which operates so that center frequency may carry out phase simulation to this reference frequency signal R, and outputs the oscillation signal PO when the modulation control section which connection of the one section differs, and also receives and mentions the conventional PLL circuit and supply of the common reference frequency signal R later does not operate, By outputting the change control signal CC which receives supply of the rise signal UP which is the output of PFD11 mentioned later instead, and is a pulse signal respectively, or the down signal DN (following rise signal UP / down signal DN) in the conventional modulation circuit 3, and changes the division ratio of DIV15 to it It has the dithering control section 2 which controls dithering which is the frequency modulation of predetermined frequency bandwidth.

[0030] The PLL section 1 A reference signal R and the oscillation signal PO The dividing signal D which carried out dividing by the predetermined division ratio To the extent that a phase comparison is carried out, the rise signal UP or the down signal DN (following rise signal UP / down signal DN) which is a pulse signal of the pulse number corresponding to a comparison result is outputted, respectively and the charge pump circuit (henceforth, CP) 12 and the dithering control section 2 are supplied The phase comparison circuit 11 (henceforth, PFD), CP12 which generates the charge pump signal PC which is a direct-current-voltage signal about supply corresponding to the pulse number of carrier beam rise signal UP / down signal DN, While receiving supply of the addition charge pump signal PS from the charge pump signal PC dithering control section 2, graduating these charge pump signal PC and the addition charge pump signal PS and removing an unnecessary high frequency component The low pass filter 13 which outputs the oscillation control signal CO which gave the predetermined loop-formation time constant (henceforth, LPF), The voltage controlled oscillator 14 which a frequency is controlled by the value of the oscillation control signal CO, and outputs the oscillation signal PO (henceforth, VCO), When supply of the division ratio change signal CC from the dithering control section 2 is answered in the oscillation signal PO and the oscillation signal PO is predetermined center frequency The division ratio which a division ratio is controlled focusing on the basic division ratio which is a division ratio which generates the same dividing signal as a predetermined reference signal frequency, and outputs the dividing signal D is equipped with the adjustable adjustable frequency divider (henceforth, DIV) 15.

[0031] dithering -- a control section -- two -- a rise -- a signal -- UP -- /-- a down -- a signal -- DN -- every -- the -- one -- a pulse -- latching -- one time -- holding -- a division ratio -- a change -- a control signal -- CC -- outputting -- a latch circuit -- 21 -- a division ratio -- a change -- a control signal -- CC -- a value -- corresponding -- direct current voltage -- a signal -- it is -- addition -- charge -- a pump -- a signal -- PS -- outputting -- charge -- a pump -- a circuit -- (-- CP --) -- 22 -- having .

[0032] A latch circuit 21 is equipped with the NOR gate G1 which receives supply of the rise signal UP in the 1st input edge, connects the 2nd input edge to the outgoing end of the below-mentioned NOR gate G2, and outputs the division ratio change control signal CC from this outgoing end, and the NOR gate G2 which received supply of the down signal DN in the 2nd input edge, and connected the 1st input edge to the outgoing end of the NOR gate G1.

[0033] CP22 connects the source to a power source, and is equipped with P channel mold MOS transistor P21 which receives supply of the division ratio change control signal CC in the gate, and outputs the addition charge pump signal PS to it from a drain, and N channel mold MOS transistor N21 which connected the drain to the drain of a transistor P21, and connected the gate to touch-down for the source at the gate of a transistor P21, respectively. In addition, the actuation capacity of this CP22, i.e., the current serviceability in charge, and the current sink capacity in the case of a discharge are set up smaller than the actuation capacity of CP12 of the PLL section 1.

[0034] When actuation of the gestalt of this operation is explained with reference to drawing 2 which shows drawing 1 and each part wave by the timing diagram, first next, PFD11 of the PLL section 1 A phase comparison with the dividing signal D which returns from the reference signals R and DIV15 which receive supply from the exterior is performed. When the dividing signal D is behind the reference signal R corresponding to the comparison result and the dividing signal D is progressing the rise signal UP to reverse from the reference signal R, the down signal DN is outputted, respectively, and CP12 and the dithering control section 2 are supplied. Here, the value of rise signal UP / down signal DN is expressed as a pulse number (it is only called a pulse number below) corresponding to the phase contrast in a predetermined unit sampling period. That is, if this pulse number becomes large and phase contrast becomes small when phase contrast is large, a pulse number will decrease. When phase contrast is 0 when there is no phase contrast namely, as for the above-mentioned pulse number, both rise signal UP / down signal DN are set to 0. This condition is in the so-called phase lock condition (only henceforth a lock condition) of the PLL section 1.

[0035] Corresponding to the value of this rise signal UP, i.e., a pulse number, CP12 generates the forward

charge pump signal which is a direct-current-voltage signal of straight polarity to a predetermined reference value (1/2VDD (supply voltage) takes after [expedient] explaining here), when the rise signal UP is supplied. When it puts in another way, this actuation is the charge to a charge pump signal line from a power source VDD, i.e., charge actuation. On the contrary, according to the value of this down signal DN, i.e., a pulse number, when the down signal DN is supplied, the negative charge pump signal which is a direct-current-voltage signal of negative polarity is generated to reference-value 0V (forward / **** charge pump signal is only called the charge pump signal PC below). When it puts in another way, this actuation is discharge to the touch-down from a charge pump signal line, i.e., discharge actuation. So far, it is the same as that of actuation of the conventional PLL section.

[0036] On the other hand, the latch circuit 21 of the dithering control section 2 latches the first transition of the pulse of the head of two or more pulses of carrier beam rise signal UP / down signal DN, i.e., the 1st pulse, for supply. For example, if the rise signal UP is supplied, the 1st pulse will be latched and the outgoing end of the NOR gate G21 will serve as L level. Therefore, the division ratio change control signal CC serves as L level. On the contrary, if the down signal DN is ******(ed), the 1st pulse will be latched and, in the outgoing end of the NOR gate G22, L level, therefore the outgoing end of the NOR gate G21 will serve as H level. Therefore, the division ratio change control signal CC serves as H level.

[0037] CP22 of the dithering control section 2 outputs the addition charge pump signal PS of the value according to the level of the division ratio change control signal CC. For example, in the case of L level, the transistor P21 of CP22 flows [the value of the division ratio change control signal CC] corresponding to the rise signal UP, and since a transistor N21 is a cut off state, the value of the addition charge pump signal PS serves as H level near the level of a power source VDD. On the contrary, since the transistor P21 of CP22 intercepts [the value of the division ratio change control signal CC] corresponding to the down signal DN in the case of H level and a transistor N21 flows, the value of the addition charge pump signal PS serves as L level near touch-down level.

[0038] By the input side of LPF13, the charge pump signal PC and the addition charge pump signal PS are compounded, and it becomes the charge pump signal PCS, and inputs into LPF13. LPF13 outputs the oscillation control signal CO which gave the predetermined loop-formation time constant while it graduates the carrier beam charge pump signal PCS for supply and removes an unnecessary high frequency component, and it supplies it to VCO14.

[0039] VCO14 supplies this oscillation signal PO to DIV15 while it generates the oscillation signal PO with which the frequency was controlled by the electrical-potential-difference value of the carrier beam oscillation control signal CO in supply and outputs it outside.

[0040] Dividing of DIV15 is carried out by the division ratio which changed the oscillation signal PO by the division ratio change signal CC which carries out predetermined ratio part addition (+) and subtraction (-) a core [the basic division ratio set up beforehand], and it outputs the dividing signal D. That is, when the division ratio change signal CC is L level, it adds by the predetermined ratio from a basic division ratio, and when the division ratio change signal CC is H level, it subtracts by the predetermined ratio from a basic division ratio.

[0041] The basic division ratio of 1MHz and DIV15 is used for the frequency of 100MHz and a reference signal R, **1MHz is used [center frequency, the numerical example PO again used in the conventional example for convenience, i.e., the oscillation signal, of explanation,] for 100 and frequency modulation (dithering frequency) width of face, and actuation is explained.

[0042] If drawing 2 is referred to again, first, the dithering control section 2 shall not operate as an initial state, therefore the frequency of the oscillation signal PO shall be locked in center frequency of 100MHz, and the division ratio of DIV15 shall be set as 100 which is a basic division ratio. Therefore, the frequency of the dividing signal D is 1MHz, and this is the same as that of the frequency of a reference signal R. Since PFD11 does not have phase contrast between a reference signal R and the dividing signal D, neither rise signal UP nor / down signal DN are outputted. That is, the pulse number of rise signal UP / down signal DN is 0.

[0043] Next, suppose that the oscillation signal PO fell from center frequency, for example, was set to 99MHz at the time of T1 at a certain event. In this case, since 0.99MHz of dividing signals corresponding to the basic division ratio 100 in DIV15 is supplied to PFD11, from a reference signal R, a phase generates for example, four pulses as delay and a rise signal UP, and the dividing signal D supplies PFD11 to CP12 and the dithering control section 2. The down signal DN is not generated at this time. CP12 answers supply of the rise signal UP, and outputs the forward charge pump signal PC.

[0044] The latch circuit 21 of the dithering control section 2 latches the first transition of the pulse of the beginning of the rise signal UP, i.e., the 1st pulse, and, thereby, makes L level the division ratio change control signal CC.

[0045] L level of the division ratio change control signal CC is answered, and DIV15 is added to the basic

division ratio 100 one time, and sets a division ratio to 101. Thereby, the dividing signal D falls further from about 99 / 101= 0.98MHz, i.e., the frequency of a reference signal R. Therefore, PFD11 continues the output of the rise signal UP, and continues supplying it to CP12 and the dithering control section 2. Moreover, the latch circuit 21 of the dithering control section 2 continues the output of the division ratio change control signal CC of L level.

[0046] CP22 of the dithering control section 2 answers supply of the division ratio change control signal CC of L level, outputs the forward corresponding addition charge pump signal PS, supplies it to LPF13, is compounded with the charge pump signal PC from CP12 by the input side, and is inputted into LPF13 as a synthetic charge pump signal PCS. LPF13 outputs the oscillation control signal CO corresponding to carrier beam charge pump signal PCS, and supplies supply to VCO14. Since both the charge pump signal PC and the addition charge pump signal PS were straight polarity, as the synthetic charge pump signal PCS is straight polarity and it mentioned above, since actuation capacity is high, the direction of the charge pump signal PC raises the oscillation control signal CO (electrical potential difference) mainly according to the charge pump signal PC. VCO14 raises the frequency of the oscillation signal PO according to lifting of the oscillation control signal CO.

[0047] Thus, the frequency of the oscillation signal PO rises, and the above-mentioned actuation is continued until it reaches the immunity of about 101MHz PFD11 exceeding the center frequency of 100MHz. If the frequency of the oscillation signal PO reaches the above-mentioned immunity which is 101MHz, although supply of the rise signal UP is suspended, a latch circuit 21 will continue the maintenance condition of the rise signal UP, and, as for PFD11, will continue holding the division ratio change control signal CC on L level. Therefore, CP22 continues outputting the forward addition charge pump signal PS like before. Thereby, LPF13 raises the oscillation control signal CO further according to the forward addition charge pump signal PS, and VCO14 raises the frequency of the oscillation signal PO according to lifting of this oscillation control signal CO.

[0048] Consequently, if the frequency of the oscillation signal PO exceeds the upper limit of the above-mentioned immunity which is 101MHz, PFD11 will begin to output the down signal DN, and will supply it to the latch circuit 21 of CP12 and the dithering control section 2 (T3). CP12 answers supply of the down signal DN, and outputs the negative charge pump signal PC.

[0049] A latch circuit 21 latches the first transition of the pulse of the beginning of the down signal DN, i.e., the 1st pulse, and, thereby, makes H level the division ratio change control signal CC.

[0050] H level of the division ratio change control signal CC is answered, and DIV15 is subtracted from the basic division ratio 100 one time, and sets a division ratio to 99. Thereby, the dividing signal D goes up further from about 101 / 99= 1.02MHz, i.e., the frequency of a reference signal R. Therefore, PFD11 continues the output of the down signal DN, and continues supplying it to CP12 and a latch circuit 21. Moreover, a latch circuit 21 continues the output of the division ratio change control signal CC of H level.

[0051] CP22 of the dithering control section 2 answers supply of the division ratio change control signal CC of H level, outputs the negative corresponding addition charge pump signal PS, supplies it to LPF13, is compounded with the negative charge pump signal PC from CP12 by the input side, and is inputted into LPF13 as a negative synthetic charge pump signal PCS. LPF13 outputs the oscillation control signal CO which descended supply corresponding to the carrier beam negative charge pump signal PCS, and supplies it to VCO14. VCO14 drops the frequency of the oscillation signal PO according to descent of the oscillation control signal CO.

[0052] Thus, the frequency of the oscillation signal PO descends, and the above-mentioned actuation is continued until it reaches the immunity of about 99MHz PFD11 exceeding the center frequency of 100MHz. If the frequency of the oscillation signal PO reaches the above-mentioned immunity which is 99MHz, although supply of the down signal DN is suspended, a latch circuit 21 will continue the maintenance condition of the down signal DN, and, as for PFD11, will continue holding the division ratio change control signal CC on H level. Therefore, CP22 continues outputting the negative addition charge pump signal PS like before. Thereby, LPF13 drops the oscillation control signal CO further according to the negative addition charge pump signal PS, and VCO14 drops the frequency of the oscillation signal PO according to descent of this oscillation control signal CO.

[0053] Consequently, if the frequency of the oscillation signal PO becomes below the minimum of the above-mentioned immunity which is 99MHz, again, PFD11 will begin to output the rise signal UP, and will supply it to the latch circuit 21 of CP12 and the dithering control section 2 (T four). CP12 answers supply of the rise signal UP, outputs the forward charge pump signal PC, and raises again the frequency of the oscillation signal PO from VCO14.

[0054] The above actuation is repeated and dithering of the oscillation signal PO is carried out by 99-101MHz of desired spectrum spaces. Consequently, as the Prior art explained, the energy of the clock noise which was being concentrated on 100MHz is diffused in 99-101MHz, and the spectrum level of a clock noise can be

reduced.
[0055] When drawing 3 which shows actuation of the gestalt of this operation in the graph and spectrum drawing of a time amount pair oscillation frequency is referred to, the operating characteristic of the gestalt of this operation It changes according to the actuation capacity of CP12 and CP22 of the dithering control section 2. As for the graph of a time amount pair oscillation frequency when actuation capacity is high and spectrum drawing, drawing 3 (C), and (D), drawing 3 (A) and (B) show the graph and spectrum drawing of a time amount pair oscillation frequency when actuation capacity is low, respectively. When the actuation capacity of CP12 and CP22 is high, a dithering period becomes short, and when actuation capacity is low, a dithering period becomes long at reverse. On the other hand, in any case, spectral characteristics are almost the same, therefore the noise reduction effectiveness is also almost the same, and it can be said that change timing is suitable. It can be said that there is almost no effect on [from this] the deviation from the suitable change timing by change of the actuation capacity of these CP12 and CP22, i.e., noise reduction effectiveness.
[0056] In addition, the level of each frequency (300MHz, 500MHz, ...) component of the noise spectrum after [expedient] explaining here is collectively expressed as the frequency of a fundamental wave.
[0057] Since a dithering control section latches the 1st pulse of the rise signal / down signal which PFD outputs and makes latch timing of this 1st pulse division ratio change timing with the gestalt of this operation as explained above Complicated thing adjustment of analog circuits, such as LPF needed in the conventional PLL circuit, and the division ratio change timing by simulation becomes unnecessary, and circuits, such as a counter for timing settings, also become unnecessary, and circuit magnitude can be reduced.
[0058] Next, when drawing 4 which gives common reference characters/figure to drawing 1 and a common component, and shows the gestalt of operation of the 2nd of this invention with a block similarly is referred to, the point of difference with the gestalt of the 1st operation of the above-mentioned of the gestalt of this operation shown in this drawing is having PLL section 1A which deleted CP12 instead of the PLL section 1.
[0059] Therefore, the input signal to LPF13 turns into the addition charge pump signal PS. If the actuation capacity of CP22 can drive LPF13 enough so that clearly also from explanation of the gestalt of the 1st operation, it can operate enough by the addition charge pump signal PS.
[0060] Since CP12 becomes unnecessary with the gestalt of this operation, it is being able to reduce circuit magnitude compared with the gestalt of the 1st operation, and being able to reduce the necessary area when integrated-circuit-izing.
[0061]
[Effect of the Invention] As explained above, the PLL circuit of this invention The adjustable frequency divider which carries out adjustable dividing so that each frequency of the 1st [which carried out dividing of this oscillation signal by the 1st and 2nd division ratios, respectively], and 2nd dividing signals may become equal to the frequency of a reference signal when an oscillation signal is minimum and upper limit each frequency of frequency modulation width of face, The phase detector which outputs the rise signal or down signal which is a pulse signal which performed the phase comparison of a reference signal and a dividing signal, and corresponded, respectively (PFD), Since it has the dithering control section which controls dithering by outputting the division ratio change control signal controlled to answer supply of a rise signal, to set it as the 1st division ratio, to answer supply of a down signal, and to set it as the 2nd division ratio Since the 1st pulse of the rise signal / down signal which PFD outputs is latched and latch timing of this 1st pulse is made into division ratio change timing, the certainly optimal change timing is obtained and there is flume ******.
[0062] Moreover, complicated thing adjustment of analog circuits, such as LPF needed in the conventional PLL circuit, and the division ratio change timing by simulation becomes unnecessary, and circuits, such as a counter for timing settings, also become unnecessary, and it is effective in circuit magnitude being reducible.

[Translation done.]

* NOTICES *

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is the block diagram showing the gestalt of operation of the 1st of the PLL circuit of this invention.
[Drawing 2] It is the timing diagram which shows an example of the actuation in the PLL circuit of the gestalt of this operation.
[Drawing 3] It is the graph and spectrum drawing of a time amount pair oscillation frequency showing an example of the actuation in the PLL circuit of the gestalt of this operation.
[Drawing 4] It is the block diagram showing the gestalt of operation of the 1st of the PLL circuit of this invention.
[Drawing 5] Usually, it is the graph and spectrum drawing of a time amount pair oscillation frequency showing an example of the actuation in a PLL circuit.
[Drawing 6] It is the block diagram showing an example of the conventional PLL circuit.
[Drawing 7] It is the timing diagram which shows an example of the actuation in the conventional PLL circuit.
[Drawing 8] It is the graph and spectrum drawing of a time amount pair oscillation frequency showing an example of the actuation in the conventional PLL circuit.
[Description of Notations]
1 1A The PLL section
2 Dithering Control Section
3 Modulation Circuit
11 PFD
12,22 CP
13 LPF
14 VCO
15 DIV
21 Latch Circuit
31 Modulation Counter
G21, G22 NOR gate
P21, N21 Transistor

[Translation done.]